



PATENT ABSTRACTS OF JAPAN

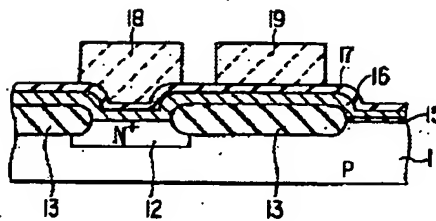
(11) Publication number: **08148649 A**(43) Date of publication of application: **07.06.96**

(51) Int. Cl.

H01L 27/04
H01L 21/822
(21) Application number: **06283467**(22) Date of filing: **17.11.94**(71) Applicant: **TOSHIBA CORP**
(72) Inventor: **ITO TAKAO**
AYABE MASAYUKI
(54) METHOD OF MANUFACTURING
SEMICONDUCTOR DEVICE
(57) Abstract

PURPOSE: To provide a method of manufacturing a semiconductor integrated circuit (IC) containing a MIS type capacitor and a polycrystalline silicon resistor.

CONSTITUTION: After a polycrystal silicon layer 16 is coated on a substrate surface and phosphorus is ion-implanted to obtain a desired resistance value, an SiN film 17 is coated thereon. Next, a resist pattern 18 for forming a capacitor on the SiN film 17 and a resist pattern 19 for forming a resistor are formed, and the SiN film 17 and polycrystalline silicon layer 16 are successively etched to form the capacitor and resistor.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-148649

(43)公開日 平成8年(1996)6月7日

(51) Int.Cl.⁶

識別記号

室内整理番号

FI

技術表示箇所

H01L 27/04

21/822

H01L 27/04

P

C

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21)出願番号

特願平6-283467

(22) 出願日

平成6年(1994)11月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 隆夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72) 発明者 綾部 昌之

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

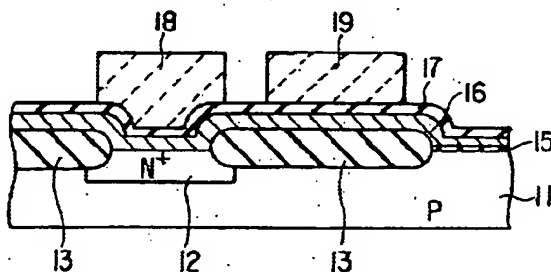
(74) 代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明はMIS型キャパシタ素子と多結晶シリコン抵抗素子とを含む半導体集積回路（IC）の製造方法を提供することを目的とする。

【構成】 基板表面上に多結晶シリコン層 16 を被着し、所望の抵抗値が得られるようにリンをイオン注入後、その上に SiN 膜 17 を被着する。次いで、SiN 膜 17 上にキャパシタ素子を形成するためのレジストパターン 18 及び抵抗素子を形成するためのレジストパターン 19 を形成し、SiN 膜 17 及び多結晶シリコン層 16 を順次エッチングしてキャパシタ素子と抵抗素子を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁膜上に不純物を含む多結晶シリコン層を形成する工程と、上記多結晶シリコン層上に耐酸化性絶縁膜を形成する工程と、上記耐酸化性絶縁膜上にキャパシタ素子および抵抗素子を形成するためのレジストパターンを形成する工程と、上記レジストパターンを用いて、上記耐酸化性絶縁膜及び多結晶シリコン層を順次パターンニングする工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 上記耐酸化性絶縁膜は、SiN膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記多結晶シリコン層に含まれる不純物は、イオン注入により添加されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 不純物拡散層を含む半導体基板上に該不純物拡散層を露出するように選択的に絶縁膜を形成する工程と、上記不純物拡散層及び上記絶縁膜を含む上記半導体基板の全面に不純物を含む多結晶シリコン層を形成する工程と、上記多結晶シリコン層上に耐酸化性絶縁膜を形成する工程と、上記耐酸化性絶縁膜上にキャパシタ素子および抵抗素子を形成するためのレジストパターンを形成する工程と、上記レジストパターンを用いて、上記耐酸化性絶縁膜及び多結晶シリコン層を順次パターンニングする工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に、キャパシタ素子と抵抗素子とを含む半導体集積回路（IC）の製造方法に関するものである。

【0002】

【従来の技術】 ICにおけるキャパシタ素子として、Si基板-シリコン酸化膜-上部電極からなるMOS構造のものが通常用いられている。しかし、前記シリコン酸化膜の誘電率は約3.8と小さく、単位面積当たりの容量値を大きくするために誘電率が約7.8と大きいシリコン窒化（SiN）膜を用いたMIS型キャパシタ素子が提案されている。また、抵抗素子として電圧依存性の小さい多結晶シリコンを用いたものも広く使用されている。

【0003】 以下、これらのキャパシタ素子と抵抗素子とを含むICの製造方法を、図8乃至図15より説明する。図8に示されるように、P型シリコン基板101に下部電極となるN⁺領域102を形成した後、通常のLOCOS技術を用いてフィールド酸化膜103を形成すると共に、キャパシタ形成領域104およびトランジスタ形成領域（図示せず）を画成する。基板表面に薄い酸化膜105を形成した後、フィールド酸化膜103を含む基板表面上に多結晶シリコン層106を被着し、所望

の抵抗値が得られるように、該多結晶シリコン層106に所定の不純物をイオン注入する（図9）。しかる後、フィールド酸化膜103上の多結晶シリコン層106に抵抗素子を形成するためのレジストパターン107を設ける（図10）。

【0004】 そのレジストパターン107をマスクに用いて多結晶シリコン層106をエッチング後、レジストパターン107を除去して抵抗素子108を形成する（図11）。

基板表面からN⁺領域102上の薄い酸化膜105を選択的に除去後、基板表面上に前記した誘電率の大きいSiN膜109を被着し（図12）、キャパシタ形成領域104にレジストパターン110を形成する（図13）。次いで、レジストパターン110をマスクとしてSiN膜109を除去して、キャパシタ形成領域104にキャパシタ素子の絶縁膜となるSiN膜111を形成する（図14）。抵抗素子108に酸化膜112を形成後、SiN膜111上に上部電極である多結晶シリコン層113を通常の方法により形成してデバイス完成する（図15）。

【0005】 しかしながら、このような方法においては、抵抗素子108およびSiN膜111は別個の工程により形成されるので、レジスト膜に対するパターンニング工程が増加する。また、抵抗素子108の表面は露出しているため、基板101に対して例えば、ゲート酸化膜を形成するような酸化処理をする際、抵抗素子108の表面は酸化されてその層厚が変化し、抵抗値にバラツキが生じる。

【0006】 このような欠点を解消するため、図16乃至図19に示される方法も既に提案されている。まず、図8に示されるような下部電極となるN⁺領域102と、フィールド酸化膜103と、キャパシタ形成領域104とを有するP型シリコン基板101を用意する。基板表面に薄い酸化膜105を形成し、N⁺領域102上の薄い酸化膜105を選択的に除去した後、フィールド酸化膜103を含む基板表面上に誘電率の大きいSiN膜109を被着する（図16）。そのSiN膜109上に多結晶シリコン層114を形成し、所望の抵抗値が得られるように多結晶シリコン層114に所定の不純物をイオン注入する（図17）。しかる後、キャパシタ形成領域104にキャパシタ素子の上部電極を形成すると共に、フィールド酸化膜103上に抵抗素子を形成するため、多結晶シリコン層114上にレジストパターン115および116をそれぞれ設ける（図18）。これらレジストパターンをマスクとして多結晶シリコン層114およびSiN膜109を同時にパターンニングし、キャパシタ素子111、該キャパシタ素子111の上部電極117、抵抗素子118及びSiN膜109とを形成する（図19）。

【0007】 このような方法では、多結晶シリコン層114およびSiN膜109は同時に除去され、レジスト

膜に対するパターニング工程は省略される。しかしながら、キャパシタ素子における上部電極117と抵抗素子118は同時に不純物が拡散されるため、抵抗値によっては不純物濃度が比較的小さいので、上部電極117の抵抗が大きくなる。逆に上部電極117の低抵抗化のため不純物濃度を大きくすると、イオン注入によりSiN膜109は損傷を受けて誘電体絶縁膜としての信頼性が失われてしまうと同時に、抵抗素子118の抵抗値も小さくなり問題がある。また前述した方法と同様に、抵抗素子118の表面は露出しているため、基板101に対して例えば、ゲート酸化膜を形成するような酸化処理をする際、前記抵抗素子118の表面は酸化されてその層厚が変化し、抵抗値にバラツキが生じる。

【0008】

【発明が解決しようとする課題】それ故、本発明は前記した従来の欠点を解消したキャパシタ素子と抵抗素子を含む半導体集積回路(IC)の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明による半導体装置の製造方法は、半導体基板上に形成された絶縁膜上に不純物を含む多結晶シリコン層を形成する工程と、上記多結晶シリコン層上にSiN膜を形成する工程と、上記SiN膜上にキャパシタ素子および抵抗素子を形成するためのレジストパターンを形成する工程と、上記レジストパターンを用いて、上記SiN膜及び多結晶シリコン層を順次パターニングする工程を含む。

【0010】

【作用】上記製造方法によれば、キャパシタ素子となるSiN膜は多結晶シリコン層上に形成される。従って、多結晶シリコン層に不純物を添加する際に生じる恐れのある下地膜の損傷は、上記SiN膜に関係しない。つまり、上記SiN膜の信頼性を損なうことがない。また、抵抗素子となる多結晶シリコン層は、上記SiN膜により被覆されているため、その後の酸化工程により層厚の変化を招くことない。従って、抵抗素子の抵抗値のバラツキを抑制することができる。

【0011】

【実施例】以下、本発明による第1の実施例を図1乃至図6により説明する。まず、P型シリコン基板11に下部電極となるN⁺領域12を形成した後、LOCOS技術を用いてフィールド酸化膜13を形成すると共に、キャパシタ形成領域14およびトランジスタ形成領域(図示しない)を画成する(図1)。基板表面に薄い酸化膜15を形成した後、N⁺領域12上の薄い酸化膜15を選択的に除去する。その後、フィールド酸化膜13を含む基板表面上に多結晶シリコン層16を約400nmの厚さに被着し、所望の抵抗値が得られるように該多結晶シリコン層16に所定の不純物、例えばリン或いはボロンをイオン注入する(図2)。しかる後、多結晶シリコ

ン層16上に誘電率の大きいSiN膜17を約25nmの厚さに被着する(図3)。

【0012】次いで、SiN膜17上にレジストを塗布し、該レジストにリソグラフィ及びエッチングを施して、キャパシタ素子を形成するためのレジストパターン18及び抵抗素子を形成するためのレジストパターン19を形成する(図4)。それらレジストパターン18、19をマスクに用いてSiN膜17及び多結晶シリコン層16を順次エッチング後、レジストパターン18、19を除去して、キャパシタ素子20及び多結晶シリコン層16とSiN膜17及び抵抗素子21とを形成する(図5)。つぎに、例えばゲート酸化を行った後、キャパシタ素子20の上部電極となる多結晶シリコン層22をMOSのゲートと同時に形成する。なお、この間の熱工程により多結晶シリコン層16は、その内部にN⁺領域12から不純物が拡散し、低抵抗となる(図6)。

【0013】尚、本実施例において、図2に示すように、多結晶シリコン層16を基板11上に被着した後にイオン注入しているが、多結晶シリコン層16を被着する際に添加することも可能である。またその後に抵抗素子21となる部分のみにイオン注入して、抵抗値を調整することも可能である。更に、抵抗素子21に不純物をイオン注入して、抵抗値の調整をすることも可能である。

【0014】上記方法によれば、キャパシタ素子20と抵抗素子21とを同時に形成するため、パターニング工程が1回であり加工工程を減らすことができる。また、多結晶シリコン層16の表面を耐酸化性のあるSiN膜17で被覆した後、パターニングを行い抵抗素子21を形成するため、抵抗素子21の表面は、後の酸化工程例えばゲート酸化膜形成工程において酸化されることがない。よって、抵抗素子21の膜厚の変化による抵抗値のバラツキを抑えることができる。更に、本構造のキャパシタ素子20であれば、その下部に多結晶シリコン層16が設けられているが、N⁺領域から多結晶シリコン層16に不純物が拡散されるため抵抗値を小さくすることができる。

【0015】次に、本発明による他の実施例を図7を参照して説明する。但し、第1の実施例と異なる部分のみを説明する。同図によれば、シリコン基板11の表面に選択的にフィールド酸化膜13を形成後、該フィールド酸化膜13上にキャパシタ素子を形成する。第1の実施例ではN⁺領域12上にキャパシタ素子を形成しており、そのN⁺領域12をキャパシタ素子の下部電極としている。本実施例では、多結晶シリコン層16をキャパシタ素子の下部電極としている。

【0016】このように、図7で示される構造の半導体装置であっても、第1の実施例と同様にキャパシタ素子と抵抗素子とを同時に形成すること可能であり、同様の効果を得ることができる。

【0017】

【発明の効果】本発明によれば、信頼性の高いMIS型キャパシタ素子及び多結晶シリコン抵抗素子を精度よく、工程の増加させることなく形成することができる。

【図面の簡単な説明】

【図1】本発明による第1の実施例を示す第1の工程断面図である。

【図2】本発明による第1の実施例を示す第2の工程断面図である。

【図3】本発明による第1の実施例を示す第3の工程断面図である。

【図4】本発明による第1の実施例を示す第4の工程断面図である。

【図5】本発明による第1の実施例を示す第5の工程断面図である。

【図6】本発明による第1の実施例を示す第6の工程断面図である。

【図7】本発明による第2の実施例を示す断面図である。

【図8】従来における第1の実施例を示す第1の工程断面図である。

【図9】従来における第1の実施例を示す第2の工程断面図である。

【図10】従来における第1の実施例を示す第3の工程断面図である。

【図11】従来における第1の実施例を示す第4の工程断面図である。

【図12】従来における第1の実施例を示す第5の工程断面図である。

【図13】従来における第1の実施例を示す第6の工程断面図である。

【図14】従来における第1の実施例を示す第7の工程断面図である。

【図15】従来における第1の実施例を示す第8の工程断面図である。

【図16】従来における第2の実施例を示す第1の工程断面図である。

【図17】従来における第2の実施例を示す第2の工程断面図である。

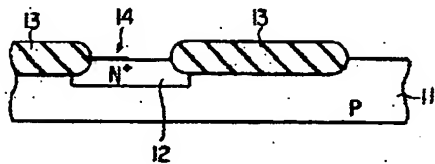
【図18】従来における第2の実施例を示す第3の工程断面図である。

【図19】従来における第2の実施例を示す第4の工程断面図である。

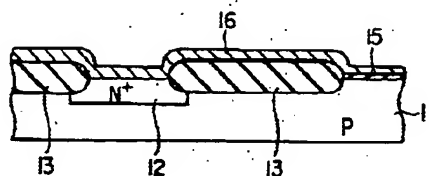
【符号の説明】

11…P型シリコン基板、12…N⁺領域、13…フィールド酸化膜、14…キャパシタ形成領域、15…薄い酸化膜、16…多結晶シリコン層、17…SiN膜、18、19…レジストパターン、20…キャパシタ素子、21…抵抗素子、22…多結晶シリコン層。

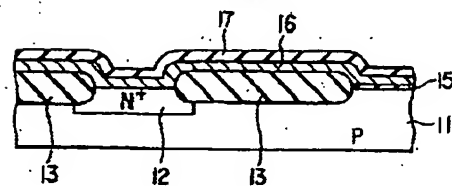
【図1】



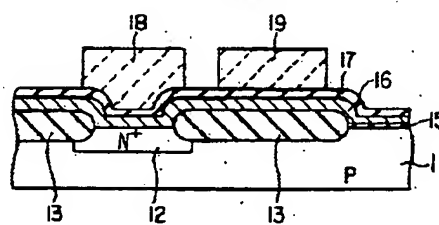
【図2】



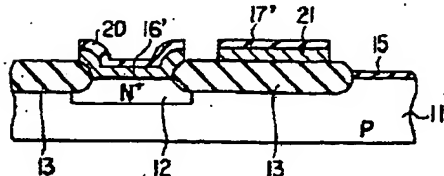
【図3】



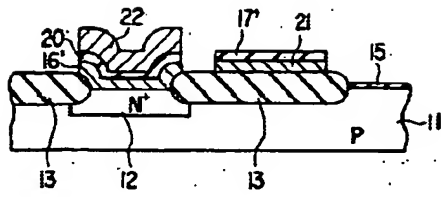
【図4】



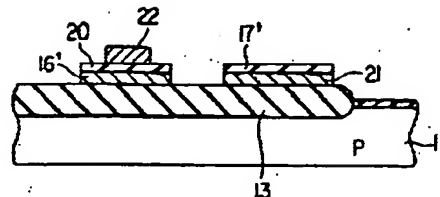
【図5】



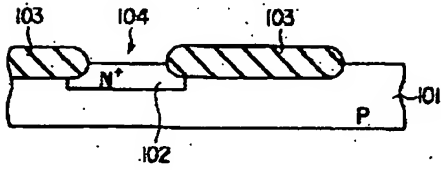
【図6】



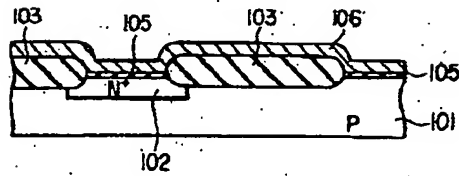
【図7】



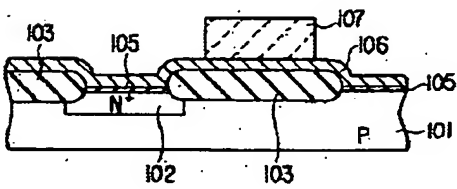
【図8】



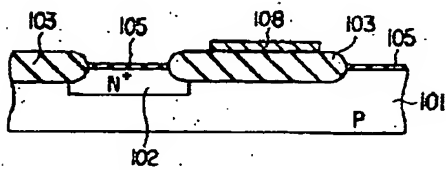
【図9】



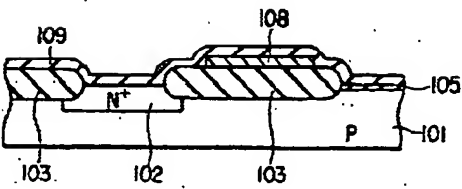
【図10】



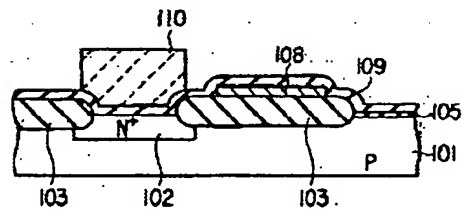
【図11】



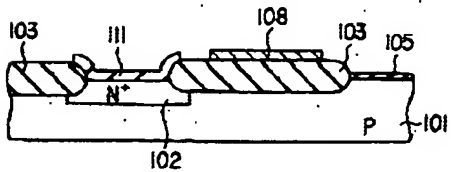
【図12】



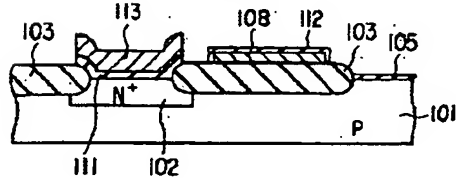
【図13】



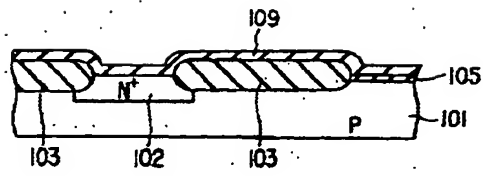
【図14】



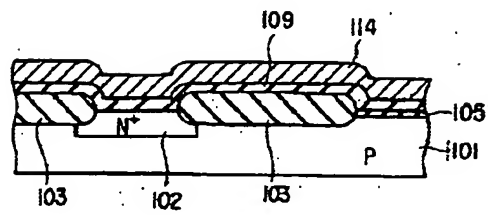
【図15】



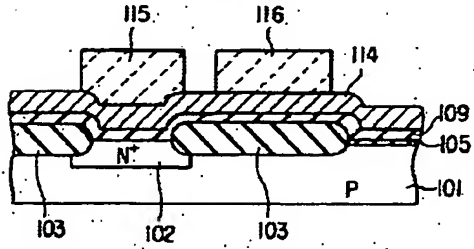
【図16】



【図17】



【図18】



【図19】

